ثانوية : إبن خلدون
القسم : 2ترهك

المادة : تكنولوجيا

الموضوع : العناصر المنطقية في الدارات المندمجة

إنجاز نظام معين و التحكم فيه يحتاج إلى إحدى التكنولوجيات الثلاثة :

- التكنولوجية الهوائية : تستخدم عناصر منطقية هوائية .
- التكنولوجية الكهربائية : تستخدم عناصر منطقية كهربائية .
- التكنولوجية الإلكترونية : تستخدم عناصر منطقية إلكترونية .

-* جدول التكنولوجيات الموجودة :

نوع التكنولوجية	زمن الإستجابة	الإستطاعة الممتصة أو التوتر المطبق أو الضغط المستعمل	سهولة التشغيل	الوظائف الموجودة	التوفر	السعر	الإستطاعة المنتجة أو التدفق(عند 6 bar) أو توتر المخرج	الطاقة المستعملة
الهوائية	3mS	من 2 إلى 8 bar	الربط معقد	OU،OUI ET،NON	قليل لقلة إستعماله	أكثر تكلفة	200L/min	كهربائية = أو ~ و هوائية
الكهربائية (مرحل منطقي) ذو عتبة	0,25S:(CC) 0,75 من:(CA) إلى60S	من 1,5W إلى 2W	أقل تعقيد	OU،OUI ET،NON	قليل لقلة إستعماله	متوسط التكلفة	مغلوق للتمرير أو مفتوح لعدم التمرير	كهربائية = أو ~
الإلكترونية TLL N	10nS	10mW	الربط سهل	OU OUI ET NON OU (exclusif)	متوفر لكثرة إستعماله	أقل تكلفة	بين 0,4V و 2,4V	كهربائية مستمرة =

إن إنجاز جهاز كومبيوتر يتطلب عدد كبير من البوابات المنطقية ولهذا وجب علينا أن نستعمل التكنولوجيا
الإلكترونية بدلا من التكنولوجيا الهوائية و الكهربائية لصغر حجمها وقلة كلفتها وسرعة إستجابتها و كذلك
قلة إستطاعتها المستهلكة .

-* التكنولوجية الإلكترونية :

هناك عدة تكنولوجيات بالنسبة للتكنولوجيا الإلكترونية لكن نتطرق في برنامجنا إلى
تكنولوجيتين وهما :

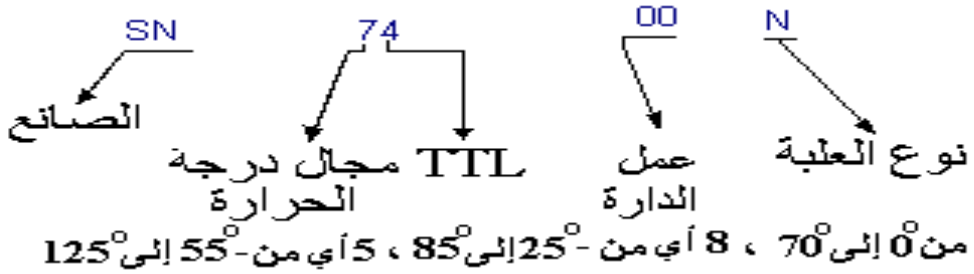
1- التكنولوجية من نوع TTL (transistor – transistor logique)
.DATA-BOOK TTL.doc

2- التكنولوجية من نوع CMOS (complémentaire métal-oxide semi-cmducteur)
DATA BOOK DATA-BOOK CMOS.doc.
COMPLE.pdf

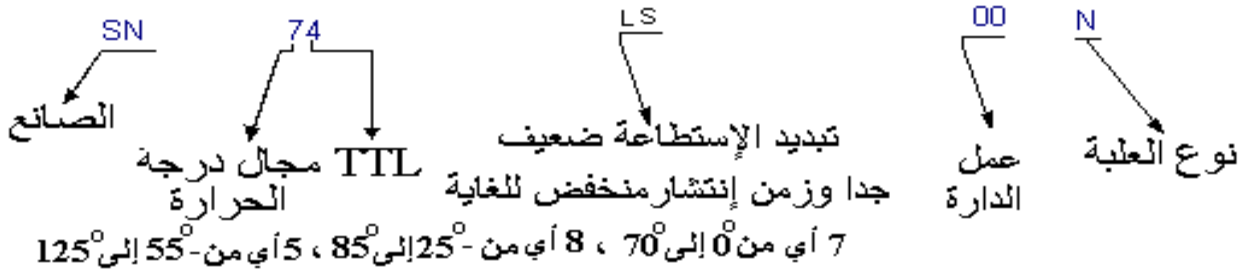
-* الفرق بين التكنولوجيتين يكمن في نوع المقحل (الترنزستور) المستعمل لتكوين كل منهما .

- ترميز التسمية (code de désignation) :**

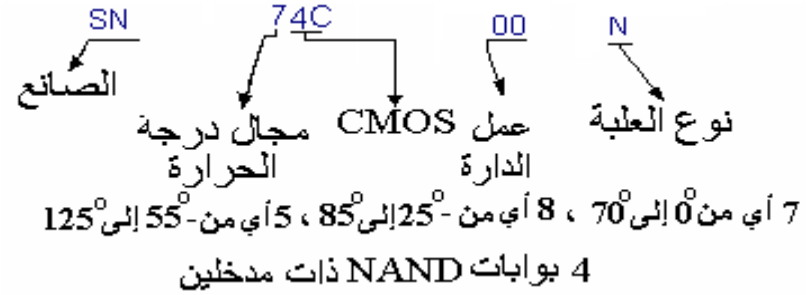
1- التكنولوجية من نوع TTL : SN7400N و SN74LS00N



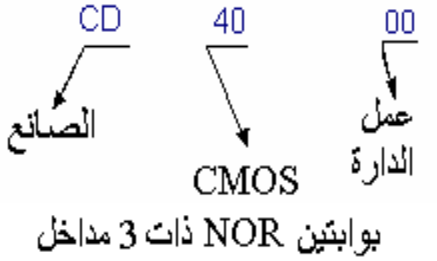
1



2- التكنولوجية من نوع CD 40 xx SN74CxxN , CMOS : ،
CD 40 xxx = CD 45 xx ,



SN74HCxxN



جدول يبين خصائص الدارتين المندمجتين TTL و CMOS

الترميز	التسمية	توتر التغذية	سرعة التبديل	الإستطاعة الممتصة	وقت الإنتشار	مستويات المدخل	مستويات تحويل المخرج	مستويات المخرج
SN74xxN	دارة مندمجة TTL	5V	لها سرعة تبديل جيّدة	10mW	10nS	مستوى 0 V_e = 0,8V مستوى 1 $\hat{V}_e$ = 2V	من 1 إلى 0 أو من 0 إلى 1 القيمة 2,4 V	مستوى 0 V_S = 0,4V مستوى 1 $\hat{V}_S$ = 2.4V
SN74CxxN	دارة مندمجة CMOS	من 3V	لها سرعة			مستوى 0 V_e< 30% V_{DD}	من 1 إلى 0 أو من 0 إلى 1	مستوى 0 V_S = 0

أو SN74LxxN : تبديد الإستطاعة منخفض للغاية (TTL)

SN74LSxxN : تبديد الإستطاعة منخفض للغاية و زمن الإنتشار قصير (TTL)

SN74ASxxN : تبديد الإستطاعة عادي (TTL)

الإ SN74SxxN : تبديد الإستطاعة عادي و زمن الإنتشار قصير (TTL)

SN74ALSxxN : تبديد الإستطاعة منخفض للغاية و زمن الإنتشار قصير للغاية (TTL)

SN74FxxN : تبديد الإستطاعة عادي و زمن الإنتشار سريع (TTL)

SN74HCxxN : زمن الإنتشار سريع جدا (CMOS)

SN74HCTxxN : متوافق مع الدارات TTL و زمن الإنتشار سريع (CMOS)

نشاط تقويمي

لتكن لديك العناصر المندمجة التالية :

CD 40 00 , CD 40 08 , SN7401 , SN7406 , SN74LS09
SN74AS00 , SN74AS32 , SN74F00 , SN74S10, ,
SN74LS32 , SN74LS83
SN74S09 , SN74C08 , SN74C240 , SN74HC32 , SN74HC10
SN7482 , SN7486 , SN74HCT08

1- عين الدارات ذات التكنولوجية CMOS و ذات التكنولوجية TTL .
2- ماذا تمثل كل دارة من هذه الدارات ؟
3- إذا أردت أن تنجز طارح مستعملا البوابات المنطقية.
فماهي الدارات التي تسيطيع أن تستعملها ؟
4- إذا أردت أن تنجز جامع مستعملا الدارة المنطقية لجامع ذو 4bits فماهي الدارة المختارة ؟
5- نريد أن ننجز دارة تستطيع أن تقوم بجمع عددين في النظام الثنائي واللذان يتكون كل منهما من رقمين
في النظام العشري بإستعمال الدارة المنطقية لجامع ذو 4bits .
5-1 ماهو عدد الدارات المندمجة المستعملة ؟
5-2 أرسم الدارة الموافقة بإستعمال الدارة المنطقية المختارة .
5-3 أنجز الدارة بالمحاكات مستعملا مقلد (WEB) .

حل النشاط التقويمي

1- تعيين الدارات ذات التكنولوجية CMOS و ذات التكنولوجية TTL .
1-1 الدارات ذات التكنولوجية CMOS هي : CD 40 08 , CD 40 00
SN74C08 , SN74C240 , SN74HC32 , SN74HC10 ,
SN74HCT08

1-2 الدارات ذات التكنولوجية TTL هي : , SN7406 , SN7401
SN74LS09
SN74AS00 , SN74AS32 , SN74F00 , ,
SN74S10,

SN74LS32 , SN74LS83 SN7482 , SN7486 ,
, SN74S09

2- تمثيل كل دارة من هذه الدارات: DATA BOOK COMPLE.pdf
CD 40 00 : بوابتين NOR ذات 3 مداخل
CD 40 08 : جامع كامل ذو 4 bits .
4 : SN74C08 , SN74HCT08 بوابات NAND ذات مدخلين .
4 : SN74C86 , SN7486 بوابات EX-OR ذات مدخلين .
4 : SN74LS32 , SN74AS32 , SN74HC32 بوابات OR ذات مدخلين .
3 : SN74S10 , SN74HC10 بوابات NAND ذات 3 مداخل .
4 : SN74S09 , SN74LS09 بوابات AND ذات مدخلين .
6 : SN7406 بوابات NON (6 عواكس) .
4 : SN7401 بوابات NAND ذات مدخلين
4 : SN74AS00 , SN74F00 بواباتNAND ذات مدخلين .
SN74LS83 : جامع كامل ذو 4 bits .
SN7482 : جامع كامل ذو 2 bits .

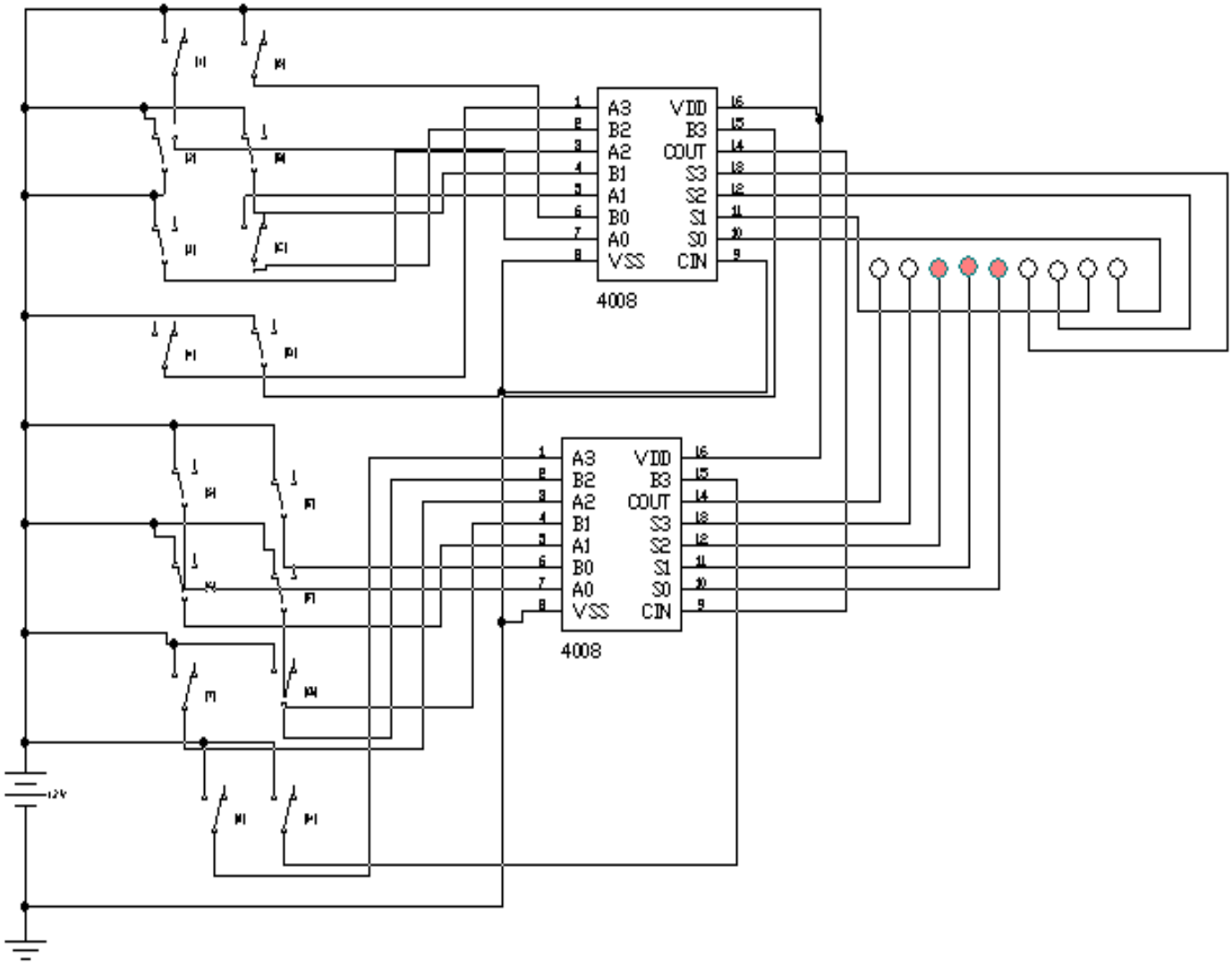
3- الدارات التي أسيطيع أن أستعملها لإنجاز طارح مستعملا البوابات المنطقية هي :
SN7486 **أو** SN74C86 **و** SN7406 **و** SN74LS09 **أو** SN74S09
و SN74HC32 **أو** SN74AS32 **أو** SN74LS32 .

4 - - إذا أردت أن أنجز جامع مستعملا الدارة المنطقية لجامع ذو 4bits فإن الدارة المختارة هي :
CD 40 08 أو SN74LS83

5- إنجاز جامع ذو 4 bits :
5-1 عدد الدارات المندمجة المستعملة هو :
إن الجامع يعمل في النظام الثنائي ، إذن من أجل معرفة عدد الدارات المستعملة نحول أكبر عدد
نريد جمعه من النظام العشري إلى النظام الثنائي لكي نعرف عدد bits التي يتكون منها هذا العدد .
-* نلاحظ أن أكبر عدد هو العدد (99) والذي يتمثل في النظام الثنائي كما يلي (1100011) .
-* نلاحظ أن العدد في النظام الثنائي يتكون من 7 أرقام ومنه عدد الدارات يكون دارتين من
من نوع CD 40 08 أو دارتين من نوع SN74LS83 .

5-2 رسم الدارة الموافقة بإستعمال الدارة المنطقية المختارة (CD 00 08) .

_werkbench\EWB512



ثانوية : إبن خلدون **المادة : تكنولوجيا**

القسم : 2ترهك

الموضوع : العناصر المنطقية في الدارات المندمجة

الأستاذ : ح . س

نوع التكنلوجية	زمن الإستجابة	الإستطاعة الممتصة أو التوتر المطبق أو الضغط المستعمل	سهولة التشغيل	الوظائف الموجودة	التوفر	السعر	الإستطاعة المنتجة أو التدفق(عند 6 bar) أو توتر المخرج	الطاقة المستعملة
الهوائية	3mS	من 2 إلى 8 bar	الربط معقد	OU،OUI ET،NON	قليل لقلة إستعماله	أكثر تكلفة	200L/min	كهربائية = أو ~ و هوائية
الكهربائية (مرحل منطقي) ذو عتبة	0,25S:(CC) 0,75 من:(CA) إلى60S	من 1,5W إلى 2W	أقل تعقيد	OU،OUI ET،NON	قليل لقلة إستعماله	متوسط التكلفة	مغلوق للتمرير أو مفتوح لعدم التمرير	كهربائية = أو ~
الإلكترونية TLL N	10nS	10mW	الربط سهل	OU OUI ET NON OU (exclusif)	متوفر لكثرة إستعماله	أقل تكلفة	بين 0,4V و 2,4V	كهربائية مستمرة =

*- جدول يبين خصائص الدارتين المندمجتين TTL و CMOS

الترميز	التسمية	توتر التغذية	سرعة التبديل	الإستطاعة الممتصة	وقت الإنتشار	مستويات المدخل	مستويات تحويل المخرج	مستويات المخرج
SN74xxN	دارة مندمجة TTL	5V	لها سرعة تبديل جيّدة	10mW	10nS	مستوى 0 $\overset{v}{Ve} = 0,8V$ مستوى 1 $\overset{\wedge}{Ve} = 2V$	من 1 إلى 0 أو من 0 إلى 1 القيمة 2,4 V	مستوى 0 $\overset{v}{Vs} = 0,4V$ مستوى 1 $\overset{\wedge}{Vs} = 2.4V$
SN74CxxN أو CD40xx	دارة مندمجة CMOS	من 3V إلى 18V	لها سرعة تبديل بطيئة	0,1mW	50nS	مستوى 0 $\overset{v}{Ve} < 30\% V_{DD}$ مستوى 1 $\overset{\wedge}{Ve} > 70\% V_{DD}$	من 1 إلى 0 أو من 0 إلى 1 القيمة $\frac{V_{DD}}{2}$	مستوى 0 $Vs = 0$ مستوى 1 $Vs = V_{DD}$

وقت الإنتشار هو: وقت إنتشار الإشارة بين المدخل و المخرج

الإستطاعة الممتصه هي: الإستطاعة الممتصة من طرف بوابة واحدة

*- لوضع مدخل البوابة عند الصفر نربط سفود المدخل بتوصيل كتلة

*- لوضع مدخل البوابة عند الواحد نترك سفود المدخل حر

*- التعريف ببعض عائلات TTL وCMOS :

SN74LxxN : تبديد الإستطاعة منخفض للغاية (TTL)

SN74LSxxN : تبديد الإستطاعة منخفض للغاية و زمن الإنتشار قصير (TTL)

SN74ASxxN : تبديد الإستطاعة عادي (TTL)

SN74SxxN : تبديد الإستطاعة عادي و زمن الإنتشار قصير (TTL)

SN74ALSxxN : تبديد الإستطاعة منخفض للغاية و زمن الإنتشار قصيرللغاية (TTL)

SN74FxxN : تبديد الإستطاعة عادي و زمن الإنتشارسريع (TTL)

SN74HCxxN : زمن الإنتشارسريع جدا(CMOS)

SN74HCTxxN : متوافق مع الدارات TTL و زمن الإنتشارسريع (CMOS)

ملاحظة : هذه الورقة تسلم إلى التلاميذ